

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-304190

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H04N 1/40

H04N 1/19

(21)Application number : 09-120234

(71)Applicant : RICOH CO LTD

(22)Date of filing : 23.04.1997

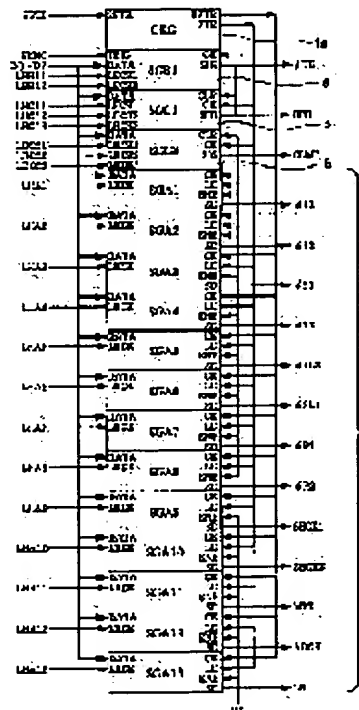
(72)Inventor : KANNO TORU
INAGE OSAMU

(54) IMAGE FORMING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate replacement of a CCD by allowing the device to have three generating means, the first means of which generates a set pattern repetitively, the second means of which stops generation of the pattern for a specific period in addition to the operation of the first means and the third means of which is active only for a prescribed period from the production of a trigger signal.

SOLUTION: Relating to timing generating means to give a timing signal to a CCD and a signal processing section, the image forming device is provided with 1st generating means SGA1-13 that repetitively generate a set pattern, a 2nd generating means SGB1 that repetitively generates a set pattern and stops production of the pattern signal for a specific period only during one scanning, and 3rd generating means SGC1, 2 that are active only for a specific period set from a position of a trigger signal during one scanning. Thus, the timing signal is automatically generated without complicated processing through the use of an exclusive IC to generate the timing signal to be fed to each block for sequential image signal processing.



LEGAL STATUS

[Date of request for examination]

12.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Best Available Copy

(1) Japanese Patent Application Laid-Open No. 10-304190 (1998)

“IMAGE FORMING DEVICE”

The following is an English translation of an extract of the above application.

5 The present invention provides an image forming device capable of performing
high-speed image processing. Such image forming device can be obtained by facilitating
the replacement of a CCD without making a new design by providing a timing generating
circuit without the use of an exclusive IC and supplying a timing signal which is delayed in
accordance with delay time of an input image signal and an output image signal, for each
10 processing circuit.

(11)特許出願公開番号

(43)公開日 平成10年(1998)11月13日

103Z

東京都大田区中馬込一丁目3番6号 株式
会社リコ一内

【特許請求の範囲】

【請求項1】 原稿から読み取った画像を電気信号に変換する光電変換素子と、前記光電変換素子からの信号をデジタル画像データに変換する信号処理手段と、前記光電変換素子及び前記信号処理手段に供給するタイミング信号を発生するタイミング発生手段を有し、前記タイミング発生手段は、設定されたパターンを繰り返し発生する第一の発生手段と、設定されたパターンを繰り返し発生すると共に一走査中の特定期間のみパターン信号の発生を停止する第二の発生手段と、一走査中においてトリガ信号の発生から所定期間のみアクティブ状態となる第三の発生手段とを備えたことを特徴とする画像形成装置。

【請求項2】 原稿画像から読み取った画像を電気信号に変換する光電変換素子と、前記光電変換素子からの信号をデジタル画像データに変換する信号処理手段と、前記光電変換素子及び前記信号処理手段に供給するタイミング信号を発生するタイミング発生手段を有し、前記信号処理手段の各処理要素毎に、入力画像信号と出力画像信号との遅延時間に応じて遅延量を調整したタイミング信号を、各処理要素順にシーケンシャルに供給するように構成したことを特徴とする画像形成装置。

【請求項3】 前記信号処理手段の各処理要素毎に供給されるタイミング信号が、画像処理手順に従ってシーケンシャルに接続された各処理要素の初段に供給され、かつ、このタイミング信号が遅延量を調整してシーケンシャルに次段に接続されるように構成したことを特徴とする請求項1記載の画像形成装置。

【請求項4】 前記タイミング発生手段は、前記光電変換素子及び前記信号処理手段において必要とするタイミング信号の遅延量を自動的に調整する機能を備えたことを特徴とする請求項1記載の画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子写真複写機、レーザプリンタ、ファクシミリ等の画像形成装置に関し、特にCCD等の光電変換素子や、それによって読み取った画像信号処理部におけるタイミング処理技術に関するものである。

【0002】

【従来の技術】最近の画像形成装置の多くは、CCD等の光電変換素子によって原稿からの反射光を画像データとして電気信号に変換し、得られた画像データを信号処理部にてデジタル化した後、必要な種々の処理を施すように構成されている。その際、CCDや信号処理部においては各種のタイミング信号が必要とされるが、これらは外部のタイミング回路で発生し供給される。従来、CCD用の駆動信号や信号処理部に供給されるタイミング信号は、CCD毎にランダムロジック、ディレイライン、あるいは専用IC等の部品から構成されるタイミン

グ発生回路によって生成されていたため、従来、タイミング時間や遅延時間等が固定となっていた。以下この点を具体的に説明する。図12は従来の画像形成装置の一例として示した電子写真複写機（以下、複写機と呼ぶ）の読取部のブロック図である。全体の動作と機能は既に公知であるので、本発明において問題解決する機能部分について、読み取り主要部のタイミング波形を示した図13、図14を参考しながら説明する。この例に示すタイミング発生部103は、タイミングジェネレータ103a、専用IC103b、ランダムロジック・ディレイライン103c等から構成され、読み取り系要部のCCD1や信号処理部2等にタイミング信号を供給する。信号処理部2は、画像データを信号処理し、デジタルデータに変換する機能を有している。

【0003】 先ず、CCD1の隣合うセルにタイミング発生部103から位相をずらせた2種類のシフトクロックゲート信号（ $\phi 11$ 、 $\phi 12$ 、 $\phi 21$ 、 $\phi 22$ ）が与えられる。CCD1からの出力は2系統のバッファ回路2a-1、2a-2によって整合され、アナログマルチプレクサ2b-1、2b-2にタイミング発生部103からオフセットクランプ（CLMP）ゲート信号を与えることによってCCD1がそれぞれのタイミングにおいて対象としているセル信号だけを後段に伝える。CCD1からの信号は、さらにバッファ回路2c-1、2c-2によって整合され、タイミング発生部103からサンプルクロック（SHCK1、SHCK2）が供給されるサンプルホールド（S&H）回路2d-1、2d-2に伝えられ、次いで自動利得調整（GCA）回路2e-1、2e-2に伝達される。さらに、マルチプレックス（MPX）回路2fにマルチプレックス（MPX）ゲート信号が与えられ2系統の信号が1系統に統合され、AD変換回路2gに供給されるが、これに与えられるADコンバータゲート信号（ADCK）に基づいてデジタル変換された後、ラッチクロック（LH）ゲート信号が与えられたラッチ（LATCH）回路2hによって原稿画像に応じたデジタル画像データが出力される。

【0004】

【発明が解決しようとする課題】しかしながら、上述したように従来のCCD用の駆動信号や信号処理部の各処理ブロックに対するタイミング信号は、図12に示したようにタイミングジェネレータ103によって、例えば、SHCK1、SHCK2、MPX、ADCK、LH等多数のタイミング信号を生成していた。すなわち、従来はこれら多数のタイミング信号が、CCD毎にランダムロジックやディレイライン、あるいは専用IC等の部品を用いた装置によって生成されていたので、取り付けられたCCDに適するようにタイミング時間や遅延時間等が設定され、固定化されていた。そのため、消耗やその他必要に応じてCCDを取り替えた場合にはタイミング発生用の専用ICも新たに取り付けるCCDに合わせ

て取り替える必要があった。さらに、CCDや専用ICの交換によって画像データ処理のタイミングが変化することが多いので、その場合は、信号処理部に供給するタイミング信号のタイミング時間や遅延時間等をも変更する必要があった。その結果、近年比較的安価なCCDが入手可能になったとしても、その交換に伴って、周辺装置の設計の全面的なやり直しが必要になり、大幅なコストアップの原因となっていた。

【0005】また、各信号処理ブロック間における画像データ処理の遅延が、各回路ブロックに供給されている電圧値や周囲温度に大きく依存することから、外部のタイミング発生回路から供給されたタイミング信号によって画像データを高速処理すると、僅かなタイミングのズレが問題となり、高品質の画像処理を行うには、タイミング発生部に要求される時間精度が非常に厳しいものとなり、その対応が極めて困難であり、実現したとしても非常に高価なものになるという不具合が発生していた。本発明は上述したような従来の画像形成装置における諸問題を解決するためになされたものであって、専用ICを使用することなくタイミング発生手段を構成することによって、CCD等の交換に際し新たな設計を不要とし、コスト上昇を伴うことなくCCDの交換を容易に行うことが可能な画像形成装置を提供し、さらには、各処理回路毎の入力画像信号と出力画像信号との遅延時間に応じてタイミング信号を遅延させて画像データを処理することによって、安価に高速な画像データ処理を可能にした画像形成装置を提供することを目的としている。

【0006】

【課題を解決するための手段】上記目的を達成する為本発明においては、請求項1の画像形成装置は、原稿から読み取った画像を電気信号に変換する光電変換素子と、前記光電変換素子からの信号をデジタル画像データに変換する信号処理手段と、前記光電変換素子及び前記信号処理手段に供給するタイミング信号を発生するタイミング発生手段を有し、前記タイミング発生手段は、設定されたパターンを繰り返し発生する第一の発生手段と、設定されたパターンを繰り返し発生すると共に一走査中の特定期間のみパターン信号の発生を停止する第二の発生手段と、一走査中においてトリガ信号の発生から所定期間のみアクティブ状態となる第三の発生手段とを備えたことを特徴とする。請求項2記載の発明では、原稿画像から読み取った画像を電気信号に変換する光電変換素子と、前記光電変換素子からの信号をデジタル画像データに変換する信号処理手段と、前記光電変換素子及び前記信号処理手段に供給するタイミング信号を発生するタイミング発生手段を有し、前記信号処理手段の各処理要素毎に、入力画像信号と出力画像信号との遅延時間に応じて遅延量を調整したタイミング信号を、各処理要素順にシーケンシャルに供給するように構成したことを特徴とする。請求項3記載の発明は、前記請求項1記載の発

明において、さらに前記信号処理手段の各処理要素毎に供給されるタイミング信号が、画像処理手順に従ってシーケンシャルに接続された各処理要素の初段に供給され、かつ、このタイミング信号が遅延量を調整してシーケンシャルに次段に接続されるように構成したことを特徴とする。請求項4記載の発明は、前記請求項1記載の発明において、さらに前記タイミング発生手段が、前記光電変換素子及び前記信号処理手段が必要とするタイミングを自動的に調整する機能を備えたことを特徴とする。

【0007】

【作用】請求項1の発明は、CCDや信号処理部にタイミング信号を供給するタイミング発生手段として、設定されたパターンを繰り返し発生する第一の発生手段と、設定されたパターンを繰り返し発生すると共に一走査中の特定期間のみパターン信号発生を停止する第二の発生手段と、一走査中にトリガ信号の位置から設定された特定期間のみアクティブ状態となる第三の発生手段とを備えるように構成したので、シーケンシャルに画像信号処理する各ブロックに供給すべきタイミング信号を発生するために専用ICを使用して複雑な処理を行うことなく、上記各発生手段を介して順次自動的にタイミング信号を発生することが可能となる。請求項2の発明は、前記信号処理手段の各処理要素毎に入力画像信号と出力画像信号との遅延時間に応じてタイミングを遅延させて出力させ、画像信号がシーケンシャルに処理される各処理要素に対してタイミング信号もシーケンシャルに接続されるので、タイミング発生手段に要求されるタイミング管理が大幅に軽減され、タイミング発生手段を容易に実現出来る。請求項3の発明は、前記請求項1のように構成された画像形成装置の発明において、前記信号処理手段の各処理要素毎に入力画像信号と出力画像信号との遅延時間に応じてタイミングを遅延させて出力させ、画像信号がシーケンシャルに処理される各処理要素に対してタイミング信号もシーケンシャルに接続され、且つ処理要素の初段に前記タイミング発生手段からタイミング信号が供給されるので、タイミング発生手段に要求されるタイミング管理が大幅に軽減され、タイミング信号と画像信号との遅延を大幅に軽減しタイミング発生手段を安価に実現し、しかも、CCDの置き換えが容易になる。請求項4の発明は、前記請求項1のように構成された画像形成装置の発明において、前記タイミング発生手段は前記光電変換素子及び前記信号処理手段が必要とするタイミングを自動的に調整するようになっているので、回路的にも安定な性能を維持可能となり、高速に画像データ処理が可能な画像形成装置を実現できる。

【0008】

【発明の実施の形態】以下、図示した実施の形態に基づいて本発明を詳細に説明する。図1は本発明において使用する第一の発生部4の一例を示すブロック図であっ

て、設定されたパターンを繰り返し発生するものであり、図7はこの第一の発生部4の回路において生成するタイミング信号の一例を示すタイミング図である。第一の発生部4はラッチ(LATCH)4aとシフトレジスタ(SR)4bとを備えており、そのうちラッチ4aはデータ(DATA)信号入力端子D10~D17に入力された設定データをクロック信号CKの立ち上がりエッジにて保持し、D00~D07に出力する。また、シフトレジスタ(SR)4bは、D0~D7に入力されたパラレルデータをLDの立ち上がりエッジでロードし、シフトクロック(CK)信号の立ち上がりエッジ毎にシフトしてシリアルデータ(SD)として出力するシフトレジスタである。イネーブル(EN)信号は、これが“H”の時シフトクロック(CK)が有効となり、“L”の時シフトすることなく直前の状態を維持する。すなわち、イネーブル(EN)信号を常にアクティブとすることによって常にD10~D17に設定されたパターンが、シフトクロック(CK)信号によってシリアル

の信号に変換されLDの周期ごとにより繰り返し出力される。
【0009】図2は第二の発生部5の回路例を示し、設定されたパターンを繰り返し発生すると共に、一走査中のうち設定された特定期間のみパターン発生を停止するように機能するものであり、図8はこの第二の発生部5におけるタイミング図である。図2において、Dタイプフリップフロップ(D-FF1)5aのD入力端子に外部からのトリガ信号を入力し、クロック(CK)入力端子に設定期間を規定する基準クロックを接続する。尚、この基準クロックは、Dタイプフリップフロップ(D-FF1)5aの他、カウンタ(CUNT)5b、コンパレータ(COMP)5eにも入力される。Dタイプフリップフロップ5aの出力Qは、D入力クロック(CK)の立ち上がりエッジでラッチされクロック(CK)に同期したタイミングとなって出力される。

【0010】このDタイプフリップフロップ5aのQ出力は、カウンタ5bのクリア(CL)入力端子に入力されると共に、論理積(AND)5dの入力端子Aにも接続され、Q出力が“L”の間カウンタ5bのカウント値が00Hとなる。カウンタ5bのクリア(CL)が“H”の間であってかつカウント許可信号EN(即ち、コンパレータ5eのEQ出力)が“H”の間、クロック(CK)入力端子に入力された基準クロックをカウントする。カウンタ5bのカウント値であるQ0~Q7はコンパレータ5eの一方の入力に接続される。設定データはラッチ(LATCH)5cのD10~D17に入力され、ラッチクロック(LHCK1)の立ち上がりエッジで保持され、D00~D07に出力される。この設定されたデータはコンパレータ5eのもう一方の入力に接続され、コンパレータ5eではカウンタ5bのカウント値と設定値をクロック入力CKに接続された基準クロック

の立ち上がりエッジ毎に比較し、両者が一致した場合に一致出力EQを“L”とする。コンパレータ5eの出力EQはカウンタ5bのEN端子に接続されており、EQが“L”となるとカウンタ5bはカウントを停止し、カウンタ5bのCL信号が“L”となる迄その状態を保持し、CL信号が“L”となるとカウント値が00Hとなり、次の基準クロックの立ち上がりエッジでコンパレータ5eのEQ出力は“H”となる。

【0011】EQ出力は、更に論理積(AND)5dのもう一方の入力端子Bにも接続されており、Dタイプフリップフロップ5aのQ出力が“H”となり、カウンタ5bがカウント開始してから設定値までカウントした後、次の基準クロックの立ち上がりエッジでEQ出力が“L”となるまで論理積5dの出力は“H”となる。以上の動作によって外部から入力されたトリガ信号の位置から設定された期間アクティブとなる信号を発生できる。また、Dタイプフリップフロップ(D-FF2)5gはD端子に入力されて基準クロックCKで保持されたアクティブの極性を示す設定値の反転値をQBとして出力し、論理積5dの出力とDタイプフリップフロップ5gの出力とを排他的論理和(EXOR)によって切り替える。

【0012】図3は、本発明において使用する第三の発生部6の一例を示す回路図であって、一走査中にトリガ信号の位置から設定された特定期間のみタイミング信号を発生するよう機能し、図9はその第三の発生部6の回路におけるタイミング図である。Dタイプフリップフロップ(D-FF)6aは、D入力端子に入力された信号をクロック(CK)で保持し、設定値を出力端Qから出力する。また、論理和(OR)6hの出力YとDタイプフリップフロップ6aの出力Qとを排他的論理和(EXOR)6iを介して外部出力SIG信号として出力する。ラッチ(LATCH1)6dは、各々開始位置・終了位置を示す設定値を保持し、各々の基準位置はカウンタ(CUNT1)6bに入力されるクリア(CLR)信号が“H”となった位置からであり、基準クロックはカウンタ(CUNT1)6bとコンパレータ(COMP1)6cに入力されるクロック(CK)である。先ず、カウンタ6bの入力CLRが“L”の時はカウンタ6bのカウント値は00Hとなる。次のクロック(CK)の立ち上がりエッジでコンパレータ(COMP1)6cでの一致出力EQは“H”となりカウンタ(CUNT2)6eのカウント値も00Hとなり、次のクロック(CK)エッジでコンパレータ(COMP2)6fのEQ出力も“L”となる。

【0013】この状態ではカウンタ(CUNT1)6bとカウンタ(CUNT2)6eとはカウント可能な状態ではあるが、各々のCLR入力が“H”であるのでカウント値は00Hのままであり、このときの論理和(OR)6hの出力は“H”である。次にカウンタ(CUN

T1) 6bのCLRが“L”となるとクロック(CK)の立ち上がりエッジのカウンタを開始し、カウンタ(CUNT1) 6bのカウント値がラッチ(LATCH1) 6dの保持値と等しくなった次のクロック(CK)の立ち上がりエッジでコンパレータ(COMP1) 6cのEQは“L”となりカウンタ(CUNT1) 6bはカウンタを停止する。また、同時にカウンタ(CUNT2) 6eのCLが“L”となるためカウンタ(CUNT2) 6eはCKの立ち上がりエッジのカウンタを開始し、このとき論理和(OR) 6hの入力は両方とも“L”である

ので出力も“L”となる。
【0014】次に、カウンタ(CUNT2) 6eのカウントが進みラッチ(LATCH2) 6gの保持値と等しくなった次のクロック(CK)の立ち上がりエッジでコンパレータ(COMP2) 6fの一致出力EQは“H”となりカウンタ(CUNT2) 6eはカウンタを停止する。このとき論理和(OR) 6hの出力は“H”となる。すなわち、論理和(OR) 6hの出力はラッチ(LATCH1) 6dへの設定値からラッチ(LATCH2) 6gへの設定値まで“L”となる信号が発生する。尚、排他的論理和(EXOR) 6iによって反転・非反転の切替の切替えを行うことは上述した通りである。

【0015】図4は、図12に示した従来の画像形成装置におけるタイミング発生部103を前述の図1、図2、図3に示した本発明に係る発生部を使用して構成したタイミング発生部の一例である。図中、クロックジェネレータ(CKG) 1aは、PLL周波数通倍回路で構成した4通倍と分周出力を持つクロック発生器であり、SGA1~13は図1に示した第一の発生部4(ENの極性がENBとなっており内部で反転させている)、SGB1は図2に示した第二の発生部5であり、SGC1及びSGC2は図3に示した第三の発生部6である。この例に示すタイミング発生部は、クロックジェネレータ(CKG) 1aへの入力信号FPIXは画素周波数、第二の発生部5への入力信号SYNCは主走査同期信号、また各部への入力データDO~D7はパターンを繰り返し発生するための設定データのバス、LHA1~LHA13は各々SGA1~SGA13に対応したラッチクロック(LHCK)、LHB11及びLHB12は第二の発生部5へのラッチクロック(LHCK1、LHCK2)、LHC11~LHC13は第三の発生部6のSGC1のラッチクロック(LHCK1~LHCK3)、LHC21~LHC23は第三の発生部6のSGC2のラッチクロック(LHCK1~LHCK3)である。

【0016】また、クロックジェネレータ(CKG) 1aの出力信号FTRはCCDの転送クロック周波数、2FTRまたは8FTRは各々2倍または8倍のCCD転送クロック周波数、第二の発生部5の出力信号φTGはCCDの移送ゲートクロック、第三の発生部6のSGC1の出力信号OPBはCCDのオブティカルブラックを

示す信号、第三の発生部6のSGC2の出力信号CLMPは処理回路のオフセットクランプ信号である。また、φ11及びφ12はCCDのチャンネル1側転送クロック1及び2、φ21及びφ22はCCDのチャンネル2側転送クロック1及び2、φ1L2及びφ2L1は各々CCDのチャンネル1及び2側最終段転送クロック、φR1及びφR2は各々CCDのチャンネル1及び2側リセットゲートクロック、SHCK1及びSHCK2は各々処理回路チャンネル1及び2側サンプルホールドクロック、MPXはアナログマルチプレクサの切換クロック、ADCKはADコンバータの変換クロック、LH出力信号は出力ラッチのラッチクロックである。この実施例では極性切り換え以外の全ての設定値を8ビットで行ったが、必要に応じて設定ビット数を増やしたり減らしたりした構成も可能である。また、発生パターンの細かさを決めるクロックも同じ種類の発生回路で同じ周波数を使っているが異なる周波数を用いてより正確なタイミングが要求される信号のパターンに関してクロック周波数を高くすることも可能である。

【0017】図5は、本発明の変形実施例(請求項2)を示すブロック図である。この実施例ではタイミング発生部103から信号処理部2の処理要素に供給する信号は、オフセットクランプ(CLMP)ゲート信号とサンプルホールド(S&H)回路2d-1、2d-2のサンプルクロック(SHCK1、SHCK2)のみを供給し、サンプルホールドでは信号のサンプルホールド動作の他に入力されたサンプルクロックをアナログ信号の遅延量に相当する時間だけ遅延させ、次段の自動利得調整(GCA)回路2e-1、2e-2に供給する。自動利得調整回路2e-1、2e-2では特にタイミング信号は必要としないがサンプルホールドと同様にアナログ信号の遅延量に相当する時間だけ遅延させ、更に、次段のマルチプレックス(MPX)回路2fに供給する。マルチプレックス(MPX)回路2fでも同様に遅延したタイミング信号をAD変換回路2gに供給し、D変換回路2gでもアナログ・デジタル変換で発生した遅延量に相当する時間だけ遅延させた信号をラッチに供給する。ラッチでも前記の処理要素と同様にそれ自身の遅延量に相当する時間だけ遅延させた画像クロックを後段の処理系に画像データと一緒に供給している。

【0018】図5と従来の画像形成装置の例を示す図12とを比較すれば明らかなように、本発明による図5の構成では、上述したようにタイミング発生部103から信号処理部2に供給するタイミング信号はCLMPとSHCK1、2のみであり、他のMPX、ADCK、及びLH信号は、信号処理部2において自動的に生成するように構成されている。従って、従来のタイミング発生部のように複雑な処理を行う必要がないことから、専用のICを備える必要がなく、構成が簡単になる。

【0019】図6は本発明による発生部の他の実施例

(請求項3)を示すブロック図である。この実施例では既に説明した請求項2の実施例のタイミング発生部103の一部分を図1、図2、図3に示したブロックを採用して構成したものである。構成及び動作は図4に関連して説明したものと同様であり、図中のクロックジェネレータ(CKG)はPLL周波数通倍回路で構成した4通倍と分周出力を持つクロック発生器であり、SGA1~13は図1に示した第一の発生部4(ENの極性がENBとなっており内部で反転している)、SGB1は図2に示した第二の発生部5、SGC1及び2は図3に示した第三の発生部6であり、図4と異なる点は、SGA1~13が追加された点である。クロックジェネレータ(CKG)1aへの入力信号FPIXは画素周波数、第二の発生部5への入力信号SYNCは主走査同期信号、また各部への入力データDO~D7はパターンを繰り返し発生するための設定データのバス、LHA1~LHA10は各々SGA1~SGA10に対応したラッチクロック(LHCK)、LHB11及びLHB12は第二の発生部5へのラッチクロック(LHCK1、LHCK2)、LHC11~LHC13は第三の発生部6のSGC1のラッチクロック(LHCK1~LHCK3)、LHC21~LHC23は第三の発生部6のSGC2のラッチクロック(LHCK1~LHCK3)である。

【0020】また、クロックジェネレータ(CKG)1aの出力信号FTRはCCDの転送クロック周波数、2FTRまたは8FTRは各々2倍または8倍のCCD転送クロック周波数、第二の発生部5の出力信号ΦTGはCCDの移送ゲートクロック、第三の発生部6のSGC1の出力信号OPBはCCDのオプティカルブラックを示す信号、第三の発生部6のSGC2の出力信号CLMPは処理回路のオフセットクランプ信号である。また、Φ11及びΦ12はCCDのチャンネル1側転送クロック1及び2、Φ21及びΦ22はCCDのチャンネル2側転送クロック1及び2、Φ1L2及びΦ2L1は各々CCDのチャンネル1及び2側最終段転送クロック、ΦR1及びΦR2は各々CCDのチャンネル1及び2側リセットゲートクロック、SHCK1及びSHCK2は各処理要素のチャンネル1及び2側サンプルクロックである。この実施例では図4と同様に極性切り換え以外の全ての設定値を8ビットで行ったが必要に応じて設定ビット数を増やしたり減らした構成も可能である。また、発生パターンの細かさを決めるクロックも同じ種類の発生回路で同じ周波数を使っているが異なる周波数を用いてタイミングが厳しい信号のパターンだけを細かくすることも可能である。

【0021】図10(A)、(B)は、図4に示した実施例において、さらに、タイミングを自動的に調整する機能を付加した実施例におけるフローチャート例を示したものである。すなわち、図10(A)では全体のタイミングの調整フローとして図12の各処理要素を参照

すれば明らかなように、信号の流れに対して後段から調整を行い、さらに、後から調整したタイミングがその後段に影響しないようになっている。まず、ラッチ(LATCH)回路2hのラッチクロック(LH)ゲート信号のタイミングが調整される(S1)。

【0022】次に、AD変換回路2gのADコンバータゲート(ADCK)信号のタイミングが調整され(S2)、その調整によってLH信号とADCK信号はタイミング的に固定される。同様に、マルチプレックス(MPX)回路2fのマルチプレックス(MPX)ゲート信号のタイミングが調整され、MPX、ADCK、およびLH信号がタイミング的に固定される(S3)。また、サンプルホールド(S&H)回路2d-2のリセットゲートクロック(SHCK2)信号のタイミングが調整され、SHCK2、MPX、ADCK、およびLH信号がタイミング的に固定される(S4)。また、最後にサンプルホールド(S&H)回路2d-1のリセットゲートクロック(SHCK1)信号のタイミングが調整され、SHCK1、SHCK2、MPX、ADCK、およびLH信号がタイミング的に固定される(S5)。

【0023】また、各回路のタイミング調整に当たって、図10(B)の任意信号のタイミング調整に示したように、全てのタイミング条件においてS/Nを測定し最大S/Nのタイミング条件に設定している。図10(B)において、まず初期値の設定では、基準白板の反射光がCCDに入射している状態で有効画素に対応する出力画像データの複数ライン分を読み込み、最も平均値が大きい画素ラインをS/N測定画素ラインとして設定する(S11)。さらにタイミング調整対象の信号について、任意のタイミングを設定し、上記S/N測定画素ラインを複数回読み取り、その読み取り値の平均値を信号レベルS、バラツキをノイズNとして、S/Nを測定する(S12)。タイミングを種々に変更して(S13)、S/Nを測定し、また、データパターンを変えてS/Nを測定する(S14)。さらに、測定したS/Nの中で最大値を検出し(S15)、その最大値が得られるようなタイミング条件に設定する(S16)。

【0024】図11(A)、(B)、(C)、(D)は各処理要素毎(LATCH部、ADC部、MPX部、S&H部)にタイミングを変更してS/Nを測定した様子を示したものである。ここで、S/Nが最大であってタイミングが少しズレても安定である位置は、各処理要素毎にそれぞれ(ア)、(イ)、(ウ)、(エ)であることが判る。このようにS/Nの最大値からタイミングを設定すれば、感度が低下した結果みかけ上雑音が減少するタイミングを最適条件として設定するような間違いが発生することはない。また、図11に示した例ではCCD駆動信号のタイミングは調整してないが、必要があればCCD駆動信号のタイミング調整を併用しても差し支えない。また、この自動調整を行うタイミングは電源投

入時と周囲温度が大きく変化した時であるが、必要に応じて手動にて自動調整を起動することも有効であろう。

【0025】

【発明の効果】以上のように請求項1の発明によれば、タイミング発生手段を設定されたパターンを繰り返し発生する第一の発生手段と、設定されたパターンを繰り返し発生すると共に、一走査中の設定された特定期間のみパターン発生を停止する第二の発生手段と、一走査中にトリガ信号の位置から設定された特定期間のみアクティブ状態となる第三の発生手段とを備えることによって、専用ICを使用することなくタイミング発生手段を構成したので、CCDの置き換えを容易にし、コストダウンを可能にした画像形成装置を提供する上で効果がある。請求項2の発明によれば、前記信号処理手段の各処理要素毎に入力画像信号と出力画像信号との遅延時間に応じてタイミングを遅延させて出力し、シーケンシャルに処理される画像信号の各処理要素に対してタイミング信号もシーケンシャルに接続するように構成したので、タイミング発生手段に要求されるタイミング管理が大幅に軽減され、安価に高速画像データ処理を可能にした画像形成装置を提供する上で効果がある。請求項3の発明によれば、前記請求項1の画像形成装置の発明においてさらに、前記信号処理手段の各処理要素毎に入力画像信号と出力画像信号との遅延時間に応じてタイミングを遅延させて出力し、シーケンシャルに処理される画像信号の各処理要素に対してタイミング信号もシーケンシャルに接続するように構成し、しかも、供給するタイミング信号を処理要素の初段に供給するようにしたので、タイミング発生手段に要求されるタイミング管理が大幅に軽減され、CCDの置き換えを容易にすると同時に、安価に高速画像データ処理を可能にした画像形成装置を提供する上で効果がある。請求項4の発明によれば、前記請求項1の画像形成装置において、前記タイミング発生手段は前記光電変換素子及び前記信号処理手段が必要とするタイミングを自動的に調整するように構成したので、経時的変化や温度等の変化によっても最適なタイミングにて各種処理を行うことが可能となり、常に安定に高速画像データ処理を行う画像形成装置を提供する上で大きな効果がある。

【図面の簡単な説明】

【図1】本発明による第一の発生手段の一実施例を示す要部ブロック図である。

【図2】本発明による第二の発生手段の一実施例を示す要部ブロック図である。

【図3】本発明による第三の発生手段の一実施例を示す要部ブロック図である。

【図4】本発明の画像形成装置の一実施例におけるタイミング発生部の要部ブロック図である。

【図5】本発明の画像形成装置の他の実施例における信号処理部の各処理要素の要部ブロック図である。

【図6】本発明の画像形成装置の他の実施例におけるタイミング発生部の要部ブロック図である。

【図7】本発明による第一の発生部の実施例におけるタイミング図である。

【図8】本発明による第二の発生部の実施例におけるタイミング図である。

【図9】本発明による第三の発生部の実施例におけるタイミング図である。

【図10】(A)及び(B)は本発明の他の実施例を示すフローチャート図である。

【図11】(A)乃至(D)は本発明の他の実施例の動作を説明するためのタイミング図である。

【図12】従来の画像形成装置の一例を示すブロック図である。

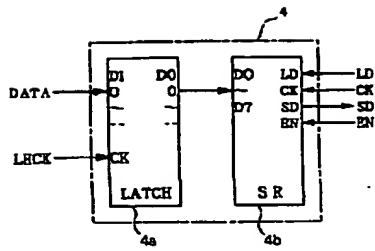
【図13】従来の画像形成装置要部の動作を示すタイミング図である。

【図14】従来の画像形成装置の読取部の動作を示すタイミング図である。

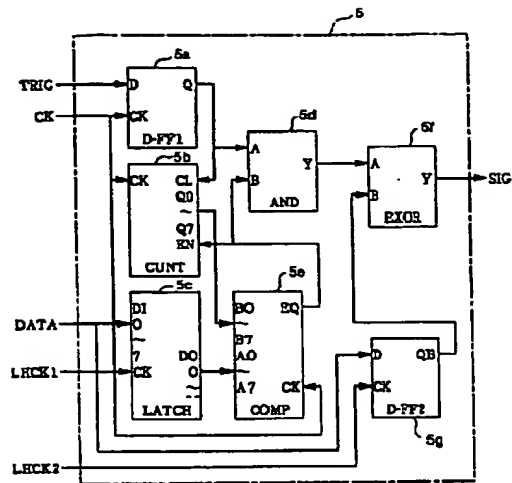
【符号の説明】

- 1… CCD、または、光電変換素子、2… 信号処理部、2a-1… バッファ回路、2a-2… バッファ回路、2b-1… アナログマルチプレクサ、2b-2… アナログマルチプレクサ、2c-1… バッファ回路、2c-2… バッファ回路、2d-1… サンプルホールド回路、2d-2… サンプルホールド回路、2e-1… 自動利得調整回路、2e-2… 自動利得調整回路、2f… マルチプレックス回路、2g… AD変換回路、2h… ラッチ(LATCH)回路、3… タイミング発生部、4… 第一の発生部、5… 第二の発生部、6… 第三の発生部。

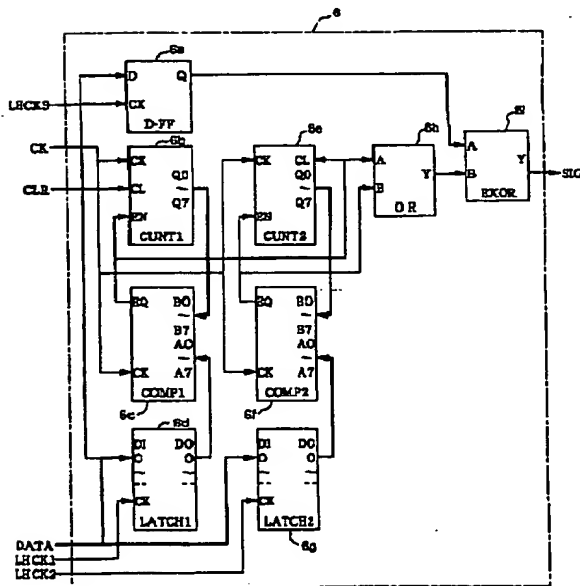
〔図1〕



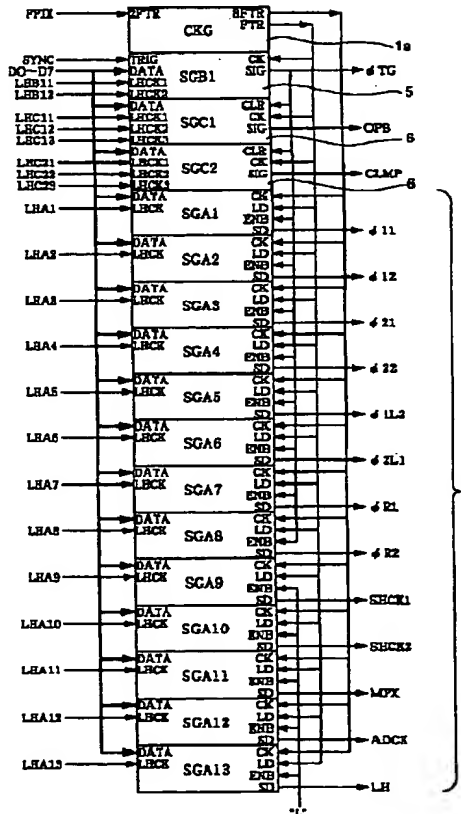
〔図2〕



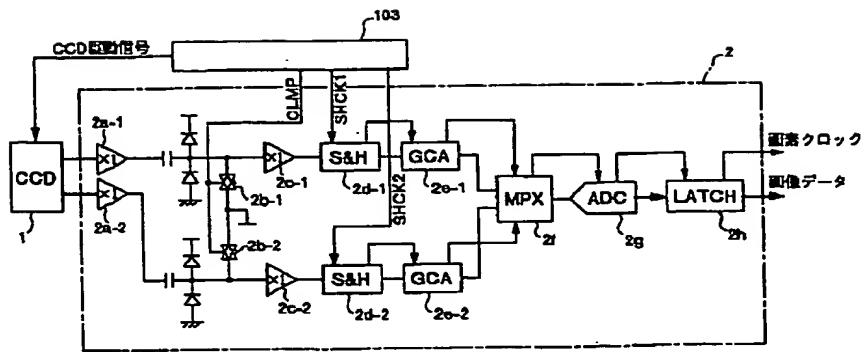
〔図3〕



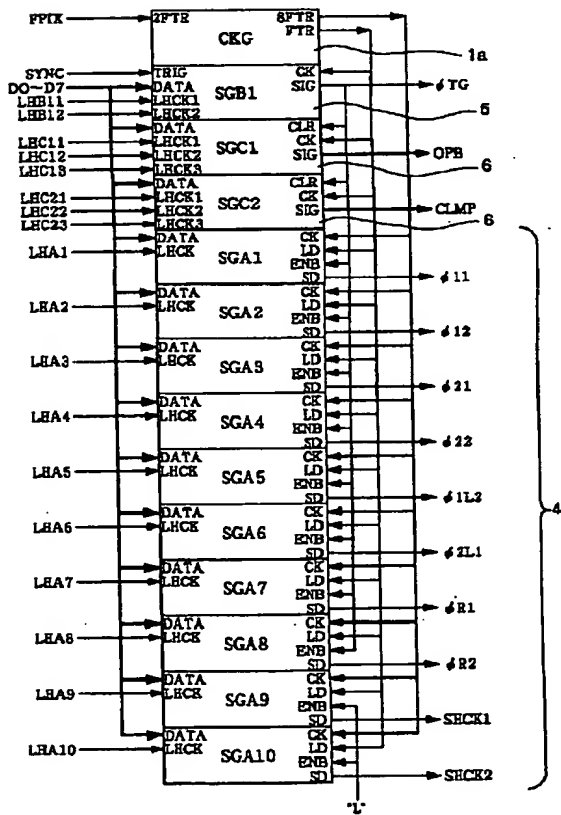
〔図4〕



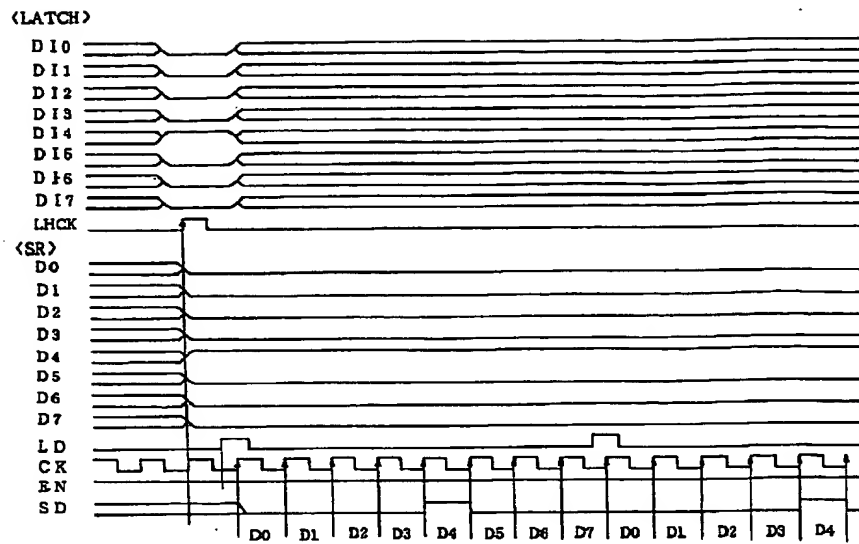
【圖 5】



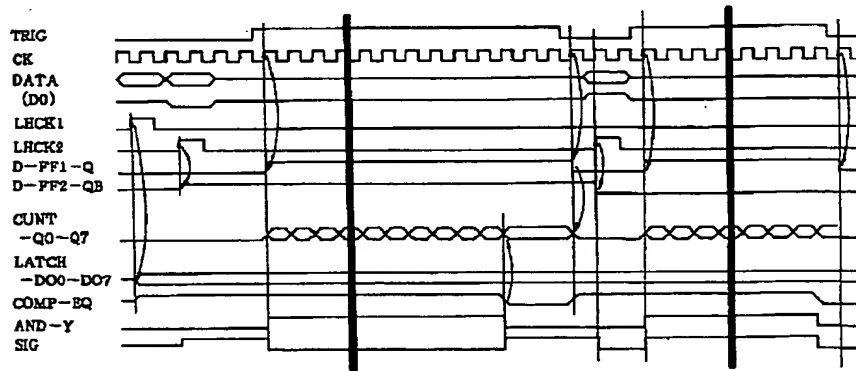
【図6】



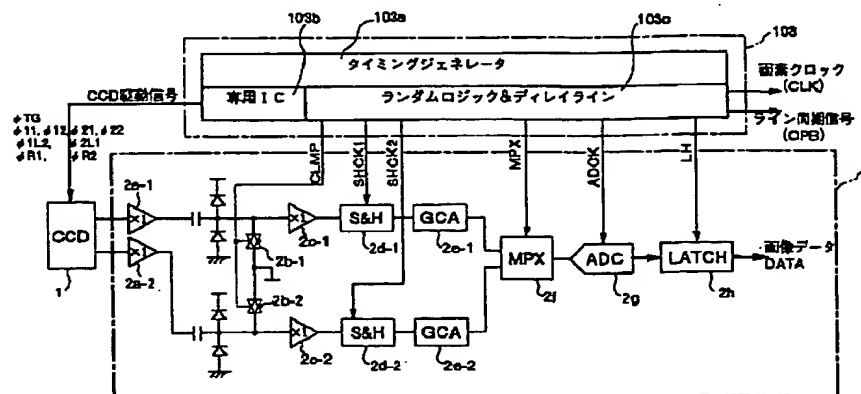
【図7】



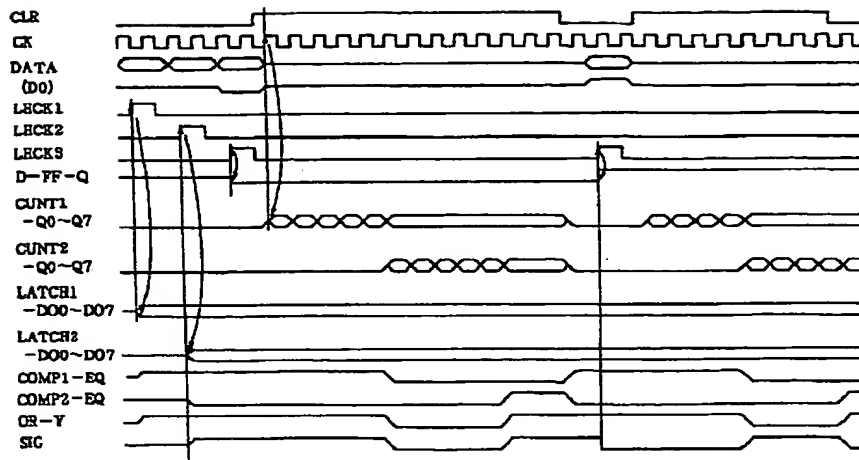
【図8】



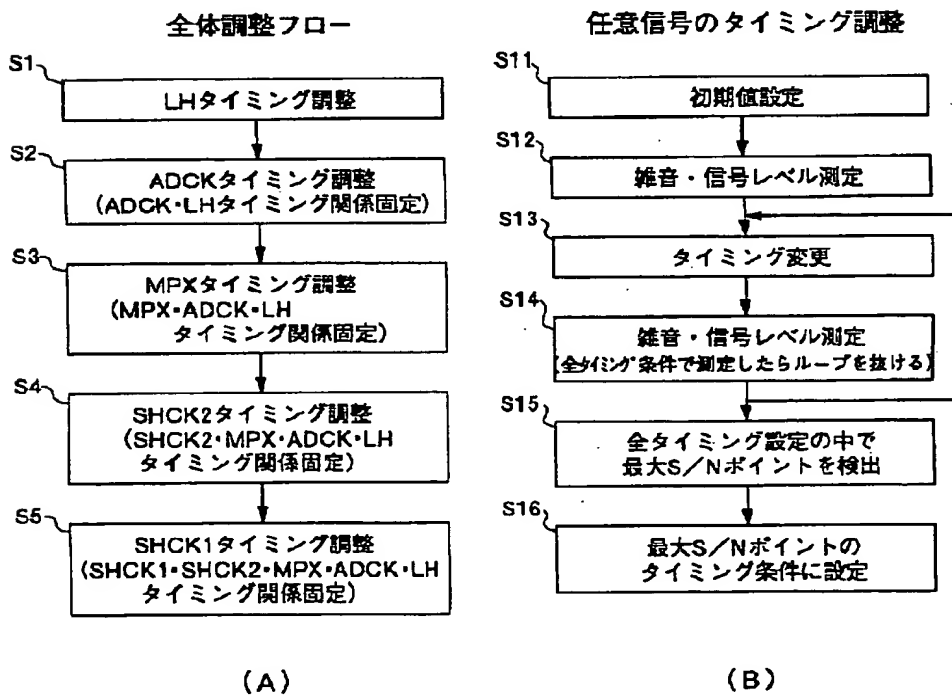
【図12】



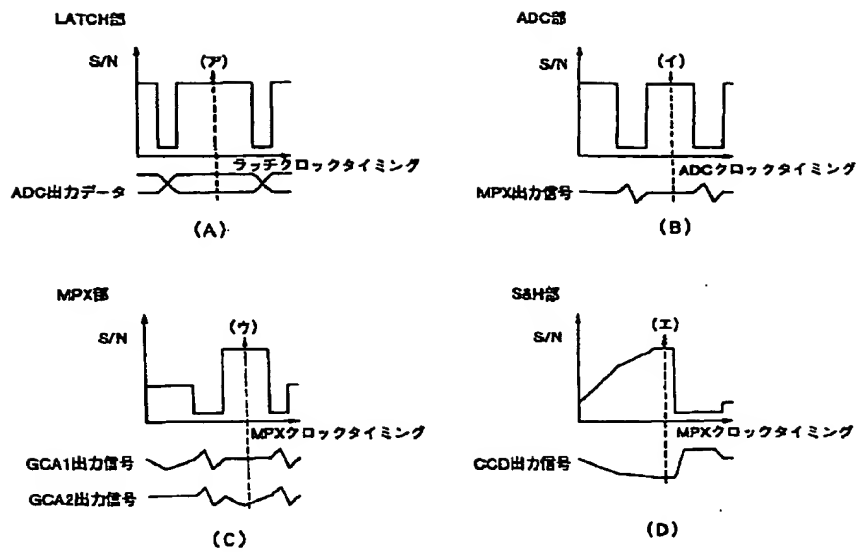
【図9】



【図10】



【図11】



【図13】

従来技術タイミングジェネレータ

CCD駆動信号

転送ゲートクロック (TG)

シフトクロック11 (S11)

シフトクロック12 (S12)

シフトクロック21 (S21)

シフトクロック22 (S22)

最終段シフトクロック1 (S1L2)

最終段シフトクロック2 (S2L1)

リセットクロック1 (R1)

リセットクロック2 (R2)

CCD出力信号1

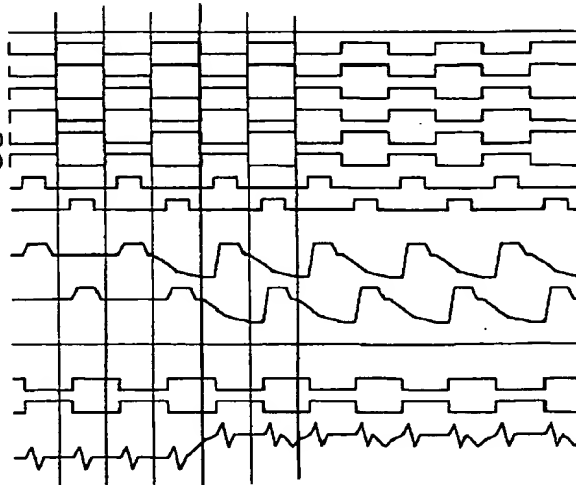
CCD出力信号2

ラインクランプ (CLMP)

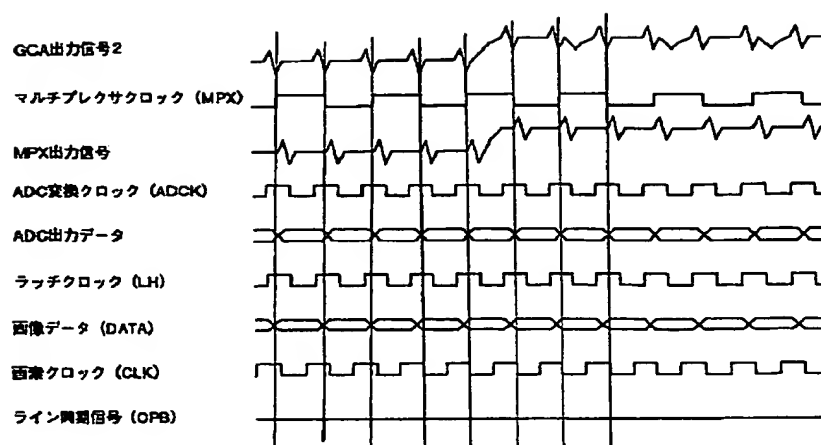
サンプリングクロック1 (SHCK1)

サンプリングクロック2 (SHCK2)

GCA出力信号1



【図14】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.